

УСКОРЕНИЕ ПОИСКА ДЕФЕКТОВ ЦИФРОВЫХ УСТРОЙСТВ

Панков И.А.

Омский государственный технический университет, Омск

Ключевые слова: цифровые устройства, тестирование, ПЛИС, диагностика.

Аннотация. В работе рассмотрен вопрос ускорения поиска дефектов при реализации цифровых алгоритмов для программируемых логических интегральных схем (ПЛИС). Предложен алгоритм для сокращения объема тестовых испытаний. Приводятся результаты работы цифрового понижающего преобразователя (DDC). Автором предложен алгоритм на основе фаззинга для диагностики проектируемых сложных функциональных блоков на наличие в них дефектов.

ACCELERATING THE SEARCH FOR DEFECTS IN DIGITAL DEVICES

Pankov I.A.

Omsk State Technical University, Omsk

Keywords: digital devices, testing, FPGA, diagnostics.

Abstract. The paper considers the issue of speeding up the search for defects in the implementation of digital algorithms for programmable logic integrated circuits (FPGAs). An algorithm is proposed to reduce the volume of test trials. The results of the operation of a digital down converter (DDC) are presented. The author proposes an algorithm based on fuzzing for diagnosing the designed complex functional blocks for the presence of defects in them.

Введение

Одной из проблем при проектировании информационных комплексов является ускорение поиска неисправностей цифровых устройств. В связи с этим возникает потребность сокращения времени тестовых испытаний, которое не приведет к пропуску потенциально опасных отказов.

Алгоритмы для ПЛИС моделируются с помощью программных САПР. При загрузке прошивки в ПЛИС часто выявляют ошибки, которые не видно при моделировании. Для сокращения проверки синтезированной схемы необходимо выработать алгоритм, который позволит диагностировать неисправность быстрее по сравнению с классической проверкой на уровне проектируемой логики. Для проверки устройства с помощью наборов сигналов в современных устройствах применяют варианты мутации для входных данных. Алгоритм, применимый для ПЛИС, будет предложен в данной статье.

Экспериментальная часть

Для проведения эксперимента был сформирован лабораторный стенд, включающий следующее оборудование: генератор сигналов – 1, отладочная плата – 2, JTAG – 3, ПЭВМ – 4. Процесс испытаний заключался в следующей последовательности действий.

1) Загружена сформированная прошивка с помощью JTAG, структурная схема которой приведена на рисунке 1.

- 2) Передан сигнал старта процессорной системе для включения DDC преобразователя.
- 3) Установлено значение частоты и уровня сигнала на генераторе сигналов.
- 4) На вход ВЧ входа ПЛИС подан синусоидальный сигнал, согласно схеме эксперимента, приведённой на рисунке 2.

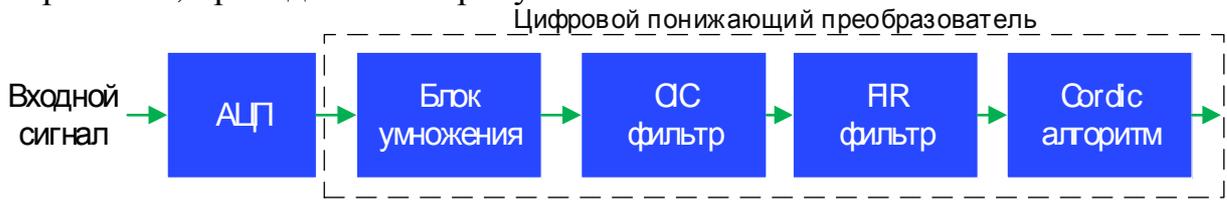


Рис. 1. Структурная схема DDC

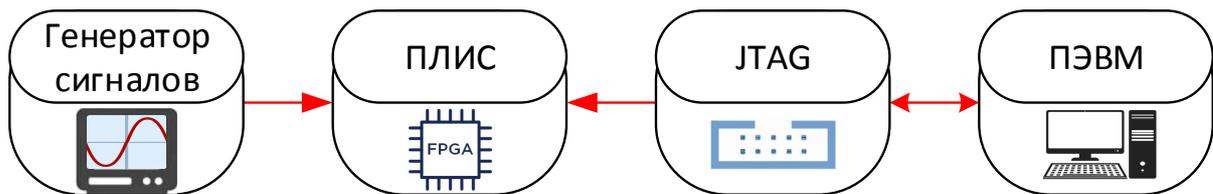


Рис. 2. Схема эксперимента

В качестве результата этой простой проверки с применением интегрального логического анализатора (ILA) мы ожидаем дискретный синусоидальный сигнал [1]. Однако, представленные на рисунке 3 выходные цифровые сигналы с DDC иллюстрируют, что форма сигнала была потеряна, что говорит о необходимости полной проверки модуля на каждом этапе проектирования.

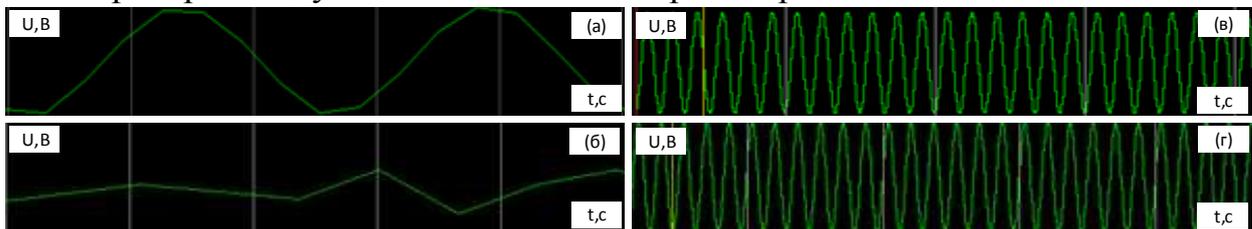


Рис. 3. Зависимости амплитуды от времени с ILA где, (а) и (б) сигналы с выходов DDC, (в) и (г) сигналы с выхода NCO (генератора с цифровым управлением)

Процесс имитационного моделирования цифрового понижающего преобразователя показал полную работоспособность модели, однако реальный эксперимент с синтезированным IP-блоком DDC показал не корректную работу системы. В связи с этим возникает вопрос, как сократить объём тестовых испытаний для выявления дефектов изделия.

Для того чтобы решить эту проблему предлагается использовать алгоритм фаззинга для динамической проверки сложных функциональных блоков.

Динамическая проверка оборудования включает следующие шаги.

- 1) Генерация теста: во время генерации теста создается последовательность входных данных для воздействия на тестируемое устройство.
- 2) Аппаратное моделирование: затем следует стадия аппаратного моделирования с реальными сигналами, результатом которой будет являться реакция системы на входные последовательности.
- 3) Оценка теста: следующий этап алгоритма заключается в проверке на корректность моделируемого поведения тестируемого устройства.

Необходимо отметить, что шаги алгоритма повторяются до тех пор, пока не будут исследованы все интересующие варианты поведения дизайна во время тестирования. Для того чтобы это узнать все интересующие аспекты дефектов в дизайне необходимо измерить объём тестовых испытаний: 1) как заданного вручную функционального поведения (функциональное покрытие), так и 2) HDL-реализации проекта (покрытие кода) [2-5].

Согласно алгоритму на рисунке 4 с помощью фаззинга на входы тестбенча подаются наборы данных с помощью тестирующего алгоритма, который позволяет отслеживать отклонения цифровых сигналов характерных для системы [6]. Созданный тест позволит выявлять заданные типы ошибок по их характерным признакам, а так же данный подход позволит локализовать точки возникновения ошибок.

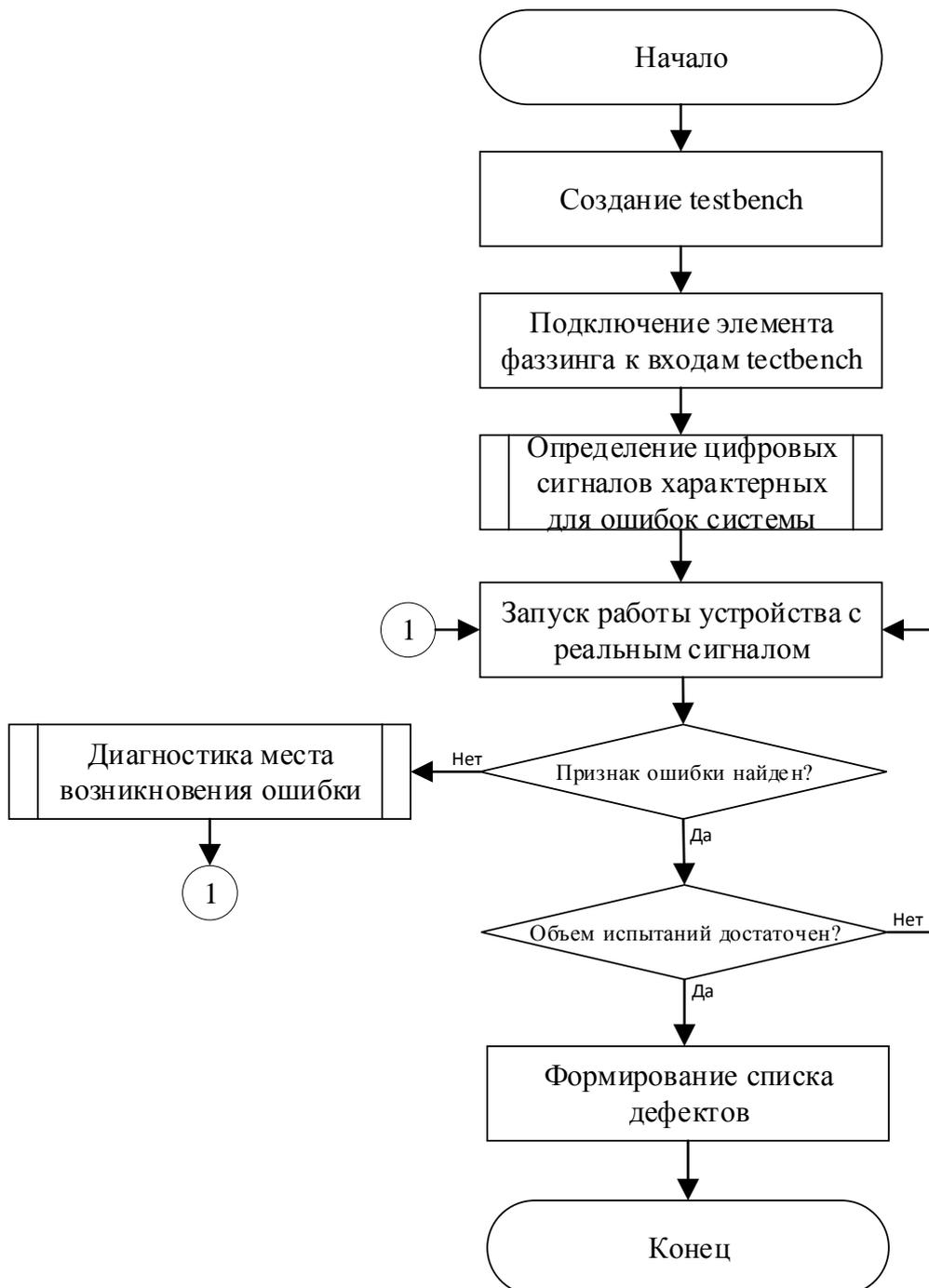


Рис. 4. Алгоритм выполнения программы испытаний устройства

Необходимо отметить, что предложенный алгоритм является экспериментальным и нуждается в проверке на реальном устройстве, результаты работы которого будут представлены в последующих статьях.

Заключение

Предложен алгоритм на основе фаззинга для диагностики проектируемых сложных функциональных блоков и сокращения проведения испытаний. Алгоритм был применен для цифрового понижающего преобразователя. В дальнейшем планируется модифицировать алгоритм с учетом особенностей сложных цифровых синтезируемых схем, а также модифицировать алгоритм внесения искажений.

Список литературы

1. Integrated Logic Analyzer [Электронный ресурс]. – Режим доступа: <https://www.xilinx.com/products/intellectual-property/ila.html>.
2. Tasiran S., Keutzer K. Coverage metrics for functional validation of hardware designs // IEEE Design & Test of Computers. 2001, pp. 36-45. doi.org/10.1109/54.936247.
3. Jou J.-Y., Liu C.-N. J. Coverage analysis techniques for hdl design validation // Proceedings of Asia Pacific CHip Design Languages. 1999, pp. 48-55.
4. Functional verification coverage measurement and analysis [Электронный ресурс]. – Режим доступа: <https://link.springer.com/book/10.1007/b117979>.
5. Панков Д.А. Способы и алгоритмы тестирования программно-аппаратных комплексов на основе имитации неисправностей: Автореф. дисс. ... канд. техн. наук. – Омск: ОмГТУ, 2021. – 153 с.
6. Fibich C., Tauner S., Rössler P., Horauer M., Matschnig M., Taucher H. FIJI: Fault InJection Instrumenter // EURASIP Journal on Embedded Systems. 2023, no. 2. doi.org/10.1186/s13639-019-0088-7.

Сведения об авторе:

Панков Илья Анатольевич – аспирант.