

ПРОЕКТИРОВАНИЕ СИНТЕЗАТОРА ЧАСТОТ ФАПЧ ДЛЯ МИКРОКОНТРОЛЛЕРА

Зайцев А.А.

*Национальный исследовательский университет «Московский институт
электронной техники», Москва, Россия*

Ключевые слова: синтезатор частот на базе ФАПЧ, импульсный частотно-фазовый детектор, управляемый генератор, петлевой фильтр, умножение емкости конденсатора.

Аннотация. Рассмотрено проектирование синтезаторов частот ФАПЧ и обозначены проблемы их реализации в составе интегральных микросхем. Предложен алгоритм работы импульсного фазо-частотного детектора, направленный на ускорение переходных процессов автоподстройки частот. Предложена схема построения микропотребляющего генератора, управляемого напряжением, имеющего диапазон генерируемых частот не менее двух октав и устойчивого к помехам по цепям питания. Рассмотрено применение схемы эквивалентного умножения емкости конденсатора с целью уменьшения площади синтезаторов частот на кристалле микросхемы.

DESIGNING A PLL FREQUENCY SYNTHESIZER FOR A MICROCONTROLLER

Zaytsev A.A.

National Research University of Electronic Technology, Moscow, Russia

Keywords: PLL frequency synthesizer, pulse phase-frequency detector, controlled oscillator, loop filter, multiplication of the capacitor capacitance.

Abstract. The design of PLL frequency synthesizers is discussed, and the challenges of implementing them in integrated circuits are outlined. An algorithm is proposed for a pulse phase-frequency detector that aims to improve the speed of automatic frequency control. Additionally, a circuit is suggested for creating a low-power voltage-controlled generator with a frequency range of at least two octaves, which is also resistant to interference from power supply circuits. The use of an equivalent capacitor capacitance multiplication circuit to reduce the size of the frequency synthesizer on a microcircuit crystal is also explored.

Введение

Развитие современных микросхем средств цифровой обработки информации во многом определяется достижениями в КМОП-технологиях. В составе микросхем микропроцессоров и микроконтроллеров широко используются синтезаторы сетки частот (ССЧ) тактовой синхронизации на базе управляемого генератора, частота и фаза выходного сигнала которого синхронизируются к сигналу входной опорной частоты с помощью контура импульсной фазовой автоподстройки частоты (ФАПЧ). Контур ФАПЧ обеспечивает астатизм частоты синтезируемого сигнала по отношению к опорной частоте.

Основными задачами при проектировании интегральных ССЧ на базе ФАПЧ являются: расширение рабочего диапазона синтезируемых частот, уменьшение фазового шума в сигнале выходной частоты, повышение

устойчивости к помехам по цепям напряжения питания, минимизация энергопотребления, сокращение длительности переходных процессов автоподстройки частот, минимизация площади на кристалле микросхемы, устойчивость к изменениям параметров интегральных элементов из-за производственного разброса и изменений температуры.

Управляемый генератор является наиболее важным элементом, определяющим диапазон частот, величину фазового шума выходного сигнала и устойчивость к помехам по цепям напряжения питания. Сокращение длительности переходных процессов автоподстройки частот основано на использовании методов грубой ускоренной отработки больших рассогласований по частоте с последующей точной подстройкой по фазе. В современном производстве микросхем субмикронного уровня стоимость определяется площадью кристалла и количеством технологических операций. Следовательно, уменьшение площади ССЧ создает предпосылки для размещения на кристалле микросхемы большего количества функциональных блоков.

В статье рассматривается проектирование интегральных ССЧ на базе ФАПЧ для использования в составе микроконтроллеров. Представлен способ ускорения переходных процессов автоподстройки частот. Предложена схема построения микропотребляющего управляемого генератора. Использовано решение, направленное на уменьшение площади ССЧ. В качестве примера представлены результаты моделирования переходного процесса автоподстройки выходной частоты 250 МГц из опорной частоты 10 МГц.

Типовая схема ССЧ на базе контура ФАПЧ

На рисунке 1 представлена типовая структурная схема ССЧ на базе контура ФАПЧ [1-5]. Импульсный частотно-фазовый детектор (ИЧФД) сравнивает сигналы входной частоты F_{REF} и частоты обратной связи F_{DIV} и, в зависимости от знака их фазовой разности, вырабатывает сигналы рассогласования Up или Dn с длительностью пропорциональной фазовой разности. По сигналам Up и Dn управляемый источник тока (УИТ) вырабатывает импульсы тока I_0 соответствующих длительности и полярности. Под воздействием импульсов тока I_0 в блоке петлевого фильтра (ПФ) формируется напряжение V_{VCO} для управления выходной частотой F_{VCO} генератора, управляемого напряжением (ГУН). Делитель частоты (ДЧ) вырабатывает сигнал F_{DIV} , являющийся результатом деления выходной частоты F_{VCO} на коэффициент N . Благодаря действию отрицательной обратной связи изменение напряжения V_{VCO} осуществляется таким образом, чтобы устранить фазовую ошибку между сигналами частот F_{REF} и F_{DIV} и, тем самым, ввести контур ФАПЧ в синхронизм. В результате $F_{VCO} = NF_{REF}$.

В установившемся режиме длительность импульсов сигналов Up и Dn и, соответственно, импульсов тока I_0 практически приближается к нулю. При этом блок ПФ сохраняет значение напряжения V_{VCO} , поддерживающего требуемую частоту и фазу сигнала F_{VCO} .

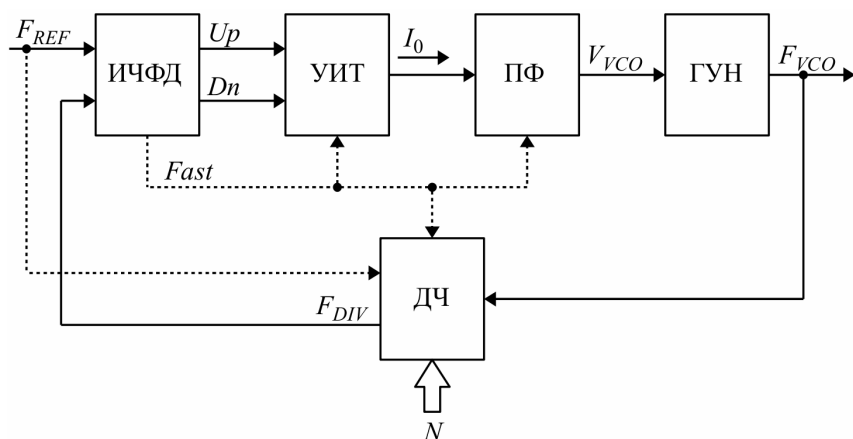


Рис. 1. Типовая структурная ССЧ на базе контура ФАПЧ

Перерегулирование и длительность и переходных процессов (ПП) автоподстройки частот зависит от частоты ω_{0PLL} единичного усиления контура ФАПЧ и от запаса по фазе φ_{0PLL} разомкнутого контура на этой частоте. Частоту единичного усиления (полосу пропускания) выбирают исходя из значения входной частоты F_{REF} и требований подавления помех, вызванных импульсным характером управления. Частоту единичного усиления и запас по фазе устанавливают с помощью амплитудно-фазовых частотных характеристик (АФЧХ) блока ПФ.

На рисунке 2 представлен нормированный вид ПП A_{NTP} линейной модели контура ФАПЧ в зависимости от запаса по фазе φ_{0PLL} разомкнутого контура. Размерность оси времени указана в постоянной времени контура τ_{0PLL} . Линейная модель не учитывает нелинейные эффекты. В реальности, при использовании ИЧФД с тремя состояниями графа переходов, когда фазовая ошибка превышает линейный диапазон ИЧФД $\pm 2\pi$ радиан, происходят циклы проскальзывания фазы, при которых ток I_0 временно отключается. Циклы проскальзывания фазы приводят к уменьшению скорости изменения напряжения V_{VCO} и, соответственно, увеличению длительности начального участка ПП.

На рисунке 3, а представлена типовая структурная схема блока ПФ с параллельным соединением конденсаторов C_P и C_Z [1-5]. Цепь R_Z , C_Z осуществляет коррекцию контура ФАПЧ для создания необходимого запаса по фазе и демпфирования колебаний ПП автоподстройки частот. Конденсатор C_P предназначен для ослабления пульсаций напряжения V_{VCO} , возникающих из-за действия импульсов тока I_0 . Импеданс блока ПФ по рисунку 3, а равен:

$$Z(s) = \frac{s\tau_Z + 1}{s(C_P + C_Z)(s\tau_P + 1)},$$

$$\text{где } \tau_Z = R_Z C_Z = \frac{1}{\omega_Z} \text{ и } \tau_P = R_Z \frac{C_Z C_P}{C_Z + C_P} = \frac{1}{\omega_P}.$$

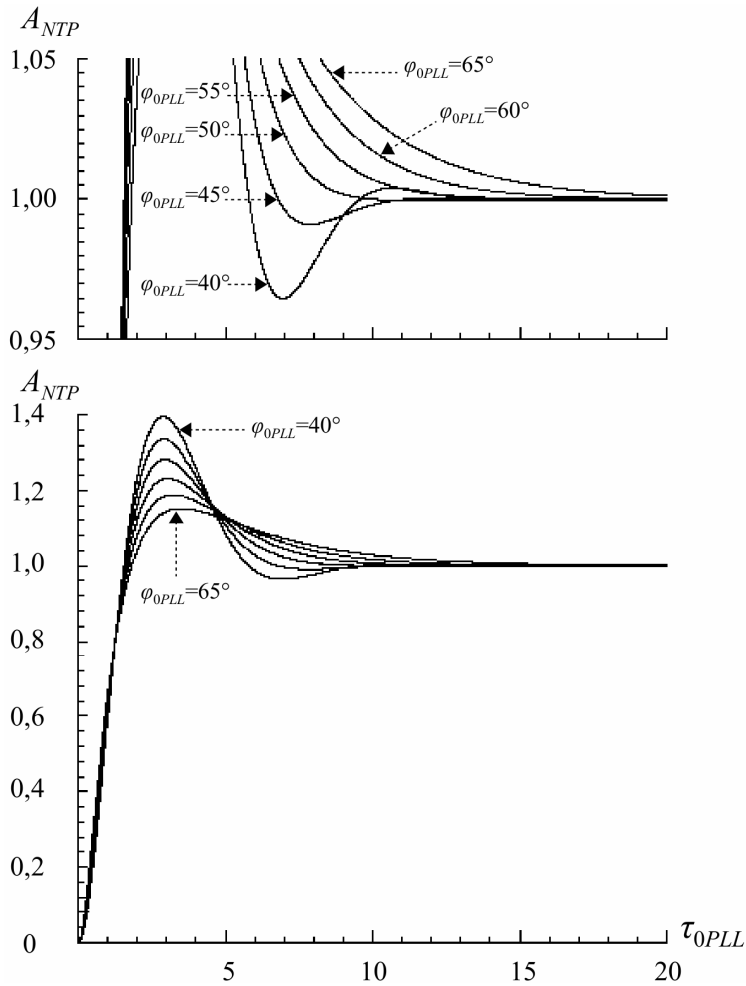


Рис. 2. Нормированный вид ПП линейной модели контура ФАПЧ в зависимости от запаса по фазе разомкнутого контура

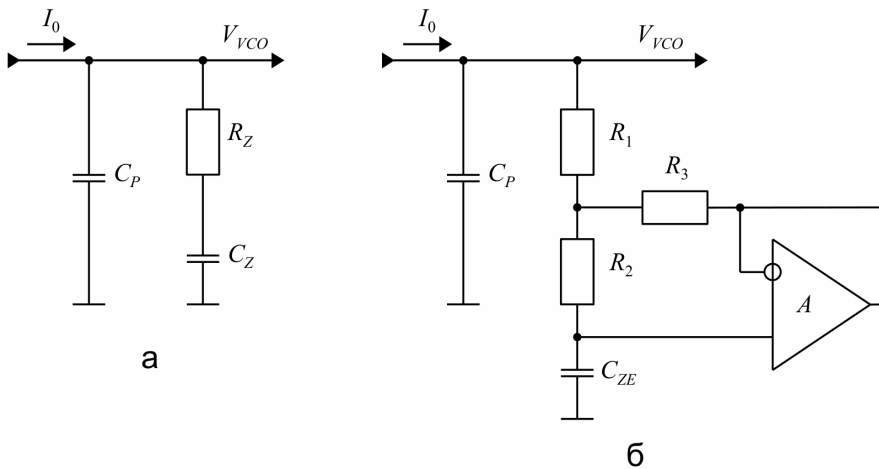


Рис. 3. Структурные схемы блока ПФ: а – типовой ПФ с параллельным соединением конденсаторов C_P и C_Z ; б – ЭПФ на базе резисторной матрицы и повторителя напряжения

Диаграмма АФЧХ блока ПФ характеризуется частотой нуля ω_Z , частотой полюса ω_P и частотой ω_{0LF} , являющейся геометрическим средним частот ω_Z и ω_P . На частоте ω_{0LF} блок ПФ имеет максимальный запас по фазе φ_{0LF} до значения -90 градусов. Контур ФАПЧ должен быть настроен так, чтобы выполнялось условие $\omega_{0PLL} = \omega_{0LF}$, тогда φ_{0PLL} будет такой же, как φ_{0LF} , но до значения -180 градусов.

Пусть параметр W_{LF} характеризует отношение ω_P к ω_Z , тогда φ_{0LF} и W_{LF} связаны между собой в соответствии с выражениями:

$$\varphi_{0LF} = \arcsin \frac{W_{LF} - 1}{W_{LF} + 1}, \quad W_{LF} = \frac{1 + \sin \varphi_{0LF}}{1 - \sin \varphi_{0LF}}.$$

Обозначим как K_{VCO} крутизну передаточной характеристики блока ГУН, имеющей размерность (рад/(с·В)). Для расчёта значений элементов блока ПФ через I_0 , K_{VCO} , N , ω_{0LF} и W_{LF} используют следующие выражения:

$$R_Z = \omega_{0LF} \frac{N}{I_0 K_{VCO}} \cdot \frac{W_{LF}}{W_{LF} - 1}, \quad C_Z = \frac{\sqrt{W_{LF}}}{\omega_{0LF} R_Z}, \quad C_P = \frac{C_Z}{W_{LF} - 1}.$$

Из выражения для расчета R_Z следует, что для фиксированных значений R_Z , ω_{0LF} и W_{LF} значение тока I_0 блока УИТ прямо пропорционально отношению N к K_{VCO} :

$$I_0 \propto \frac{N}{K_{VCO}}.$$

Отсюда, с учетом $N = \frac{F_{VCO}}{F_{REF}}$ получим $I_0 \propto \frac{F_{VCO}}{K_{VCO}}$.

Таким образом, при проектировании ССЧ на базе ФАПЧ для упрощения управления током I_0 блока УИТ, зависимость отношения F_{VCO} к K_{VCO} блока ГУН от значения частоты F_{VCO} должна быть линейной. На рисунке 4 представлена типовая диаграмма отношения F_{VCO} к K_{VCO} с определением линейного участка (например, $\pm 10\%$).

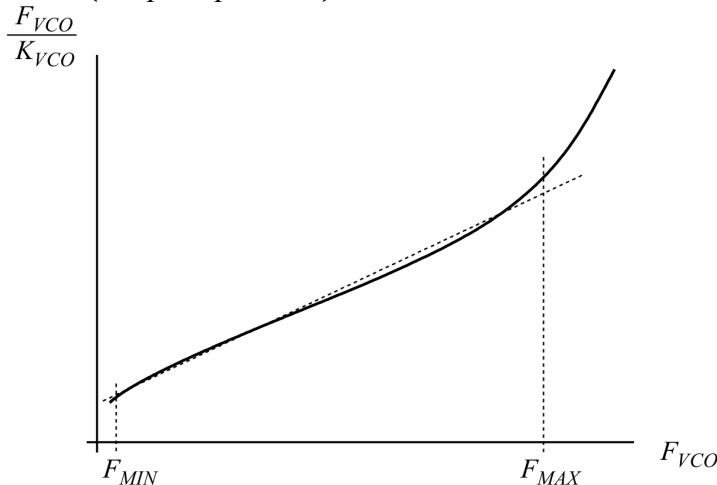


Рис. 4. Типовая диаграмма отношения F_{VCO} к K_{VCO} в зависимости от F_{VCO} с определением линейного участка

Проблемы при проектировании интегральных ССЧ на базе контура ФАПЧ

Подходы к проектированию микросхем по субмикронной КМОП-технологии определяются проблемами увеличения производственного разброса и температурной зависимости электрических параметров интегральных элементов. По мере уменьшения размеров элементов, вариации их параметров таковы, что даже идентичные и близко расположенные элементы имеют значительное рассогласование и это является серьезной проблемой при проектировании аналоговых блоков микросхем. Случайными составляющими разброса параметров при производстве в основном являются изменения вызванные неоднородностью режимов обработки кремниевых пластин в реакционной зоне технологических установок и локальные неоднородности параметров физической структуры кристалла микросхемы. Основные факторы производственного разброса: дифракции светового потока, aberrации объектива, флуктуации количества легирующей примеси и толщины изолятора затвора, а также неравномерность травления, химико-механической полировки и быстрого термического отжига [5-8].

Помимо производственного разброса на стабильность работы ССЧ большое влияние оказывают действующие на кристалле помехи по цепям напряжения питания, возникающие при работе других блоков микросхемы. Величина импульсной помехи в цепях питания зависит от амплитуды импульсов тока и значения импеданса цепей. Наиболее чувствительны к влиянию помех аналоговые схемы [6, 9]. Помехи по цепям питания являются одной из основных причин возникновения фазового шума в выходном сигнале блока ГУН. Так как эти помехи являются высокочастотными, вызываемый ими фазовый шум также высокочастотный и, соответственно, он не может быть подавлен действием обратной связи контура ФАПЧ.

Дополнительной проблемой при реализации ССЧ на кристалле микросхемы является большая площадь, занимаемая конденсатором C_Z блока ПФ, что является основным препятствием на пути уменьшения площади всего ССЧ. Это не только увеличивает стоимость кристалла микросхемы, но и препятствует размещению на нем большего количества функциональных блоков. Значение емкости конденсатора C_Z равно:

$$C_Z = \frac{I_0 K_{VCO}}{\omega_{0LF}^2 N} \cdot \frac{W_{LF} - 1}{\sqrt{W_{LF}}}.$$

Из приведенного выражения следует, что емкость конденсатора C_Z обратно пропорциональна квадрату от частоты ω_{0LF} , т. е. резко возрастает с уменьшением ω_{0LF} .

Практическое проектирование ССЧ на базе контура ФАПЧ

Для исключения циклов проскальзывания фазы и ускорения ПП, в случае превышения фазовой разности сигналов F_{REF} и F_{DIV} значения $\pm 2\pi$ радиан, контур ФАПЧ переводят в режим грубой ускоренной перестройки (*Fast*). При этом регистрируется только знак фазового рассогласования

сигналов F_{REF} и F_{DIV} , но не учитывается его величина и корректирующее воздействие тока I_0 вырабатывается непрерывно [1-4]. Кроме того, по сигналу F_{REF} может осуществляться синхронизация ДЧ, что обеспечивает выход контура из режима *Fast* как только изменится знак разности сфазированных периодов сигналов F_{REF} и F_{DIV} . Также могут использоваться: увеличение амплитуды выходного тока I_0 блока УИТ, изменение импеданса блока ПФ, упреждение момента выхода из режима *Fast*. Упреждение реализуется изменением коэффициента деления N в блоке ДЧ на значение отличное от требуемого в установившемся режиме. Дополнительные связи для реализации режима *Fast* указаны на рисунке 1 пунктирными линиями.

Для реализации режима *Fast* используют блоки ИЧФД имеющие пять и более состояний алгоритма графа переходов. Рассмотрим алгоритм переходов состояний ИЧФД, представленный на рисунке 5 [10]. Состояния *A* и *G* соответствуют режиму хранения заряда на конденсаторах блока ПФ и образуют группу *Off*. Заряд и разряд конденсаторов осуществляется в группах *Up* и *Dn*. Состояния *B* и *D* соответствуют линейному режиму фазового управления и, при попеременном следовании сигналов F_{REF} и F_{DIV} , ИЧФД переключается между этими состояниями и состоянием хранения *A*. При увеличении фазовой разности сигналов F_{REF} и F_{DIV} более $\pm 2\pi$ радиан, ИЧФД переходит в соответствующие состояния режима *Fast*. При этом по сигналу F_{REF} осуществляется синхронизация ДЧ, что дает непрерывный контроль разности частот F_{REF} и F_{DIV} . В результате выход ИЧФД из режима *Fast* в состояния группы хранения заряда *Off* происходит, как только изменится знак разности синхронизированных периодов сигналов F_{REF} и F_{DIV} .

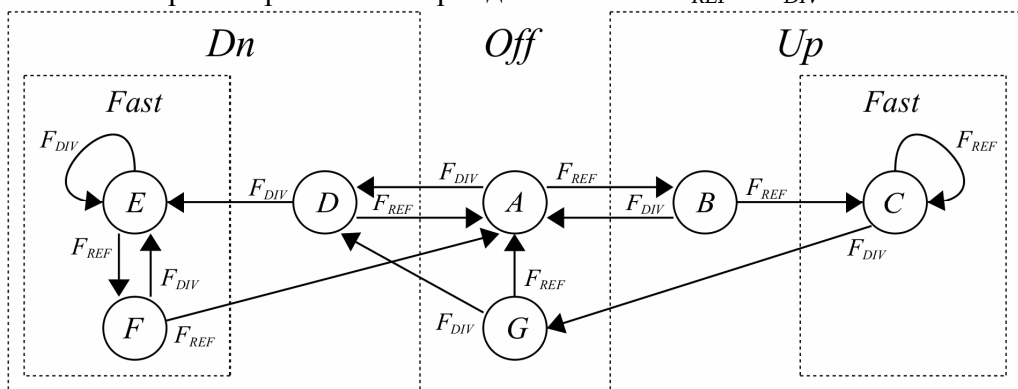


Рис. 5. Алгоритм переходов состояний ИЧФД

Дополнительное состояние *G* в группе *Off* служит для формирования нулевой начальной фазовой разности сигналов F_{REF} и F_{DIV} в момент возвращения ИЧФД из режима *Fast* группы *Up* в линейный режим фазового управления. Для этого по сигналу F_{REF} осуществляется синхронизация ДЧ с последующим переходом в исходное состояние хранения *A*. В случае если опять поступит сигнал F_{DIV} , то ИЧФД осуществит переход в состояние *D*. Таким образом, в первый такт сравнения в линейном фазовом режиме будет детектирована разность предварительно синхронизированных периодов

частот F_{REF} и F_{DIV} и обработка остаточной разности этих частот начнется с условий наиболее благоприятных с точки зрения быстрого окончания ПП. В результате рассмотренный алгоритм работы ИЧФД позволяет исключить появление циклов проскальзывания фазы при больших рассогласованиях частот F_{REF} и F_{DIV} и уменьшить их количество на стадии окончания ПП.

При проектировании аналоговых схем ССЧ, таких как ГУН и УИТ, необходимо выбрать рабочие токи и ширину W и длину L канала транзисторов. Условием здесь является режим работы от порогового напряжения и выше. При работе транзисторов ниже порогового напряжения их характеристики имеют более высокую чувствительность к производственному разбросу, температуре и помехам по цепям питания, что приводит к повышению вероятности функционального отказа аналогового блока. В этой ситуации, на этапе проектирования становится критически важным контроль, как значение напряжения затвор-исток V_{GS} соотносятся с пороговым напряжением V_{TH} транзисторов. Необходимо отметить, что в данной работе исследовались транзисторы технологии КМОП 180 нм с типовым напряжением питания 1,8 В. Значения порогового напряжения исследуемых транзисторов получены через производную тока стока [7].

На рисунке 6 представлены характеристики порогового напряжения V_{TH} и тока стока I_{TH} транзисторов для граничных отношений ширины W и длины L канала транзисторов с использованием модели BSIM3v3.24.

На рисунке 6, а, б представлены зависимости значений порогового напряжения V_{TH} при изменении напряжения сток-исток V_{DS} в диапазоне от 20 мВ до 1,8 В для условий: напряжение исток-карман $V_{SB} = 0$ В, температура $T = 27^\circ\text{C}$. При увеличении V_{DS} в среднем до 0,35 В наблюдается увеличение значения порогового напряжения. При дальнейшем увеличении V_{DS} напряжение V_{TH} длинноканальных транзисторов практически не изменяется, а для короткоканальных наблюдается уменьшение на 4,5-6% для N -транзисторов и на 2,5-4% для P -транзисторов.

На рисунке 6, в, г представлены значения порогового напряжения в зависимости от отношения W и L транзисторов для условий: $V_{DS} = 0,1$ В, $V_{SB} = 0$ В, $T = 27^\circ\text{C}$. На декаду увеличения отношения W к L пороговое напряжение увеличивается в среднем на 45 мВ для N -транзисторов и на 26 мВ для P -транзисторов. Разброс от среднего значения увеличения порогового напряжения у P -транзисторов существенно выше, чем у N -транзисторов.

На рисунке 6, д, е представлены диаграммы зависимостей тока стока I_{TH} от W и L транзисторов для условий: V_{GS} соответствует пороговому напряжению при $V_{DS} = 0,1$ В, $V_{SB} = 0$ В, $T = 27^\circ\text{C}$. Ток P -канальных транзисторов в 3,6-5,4 раз меньше, чем N -канальных. Общее изменение отношения W к L составляет 2525 раз. Общее изменение тока составляет 2910 раз для N -канальных транзисторов и 2600 раз для P -канальных.

Также значение порогового напряжения зависит от значений напряжения исток-карман V_{SB} и температуры. Среднее увеличение V_{TH} из-за увеличения V_{SB} для N -транзисторов составляет 178 мВ/В для

короткоканальных и 260 мВ/В для длинноканальных. Для *P*-транзисторов отличия между короткоканальными и длинноканальными транзисторами менее выражены и составляют 251 мВ/В и 264 мВ/В соответственно. С увеличением температуры напряжение V_{TH} уменьшается со средним значением $-0,82$ мВ/°С для *N*-транзисторов и $-0,92$ мВ/°С для *P*-транзисторов.

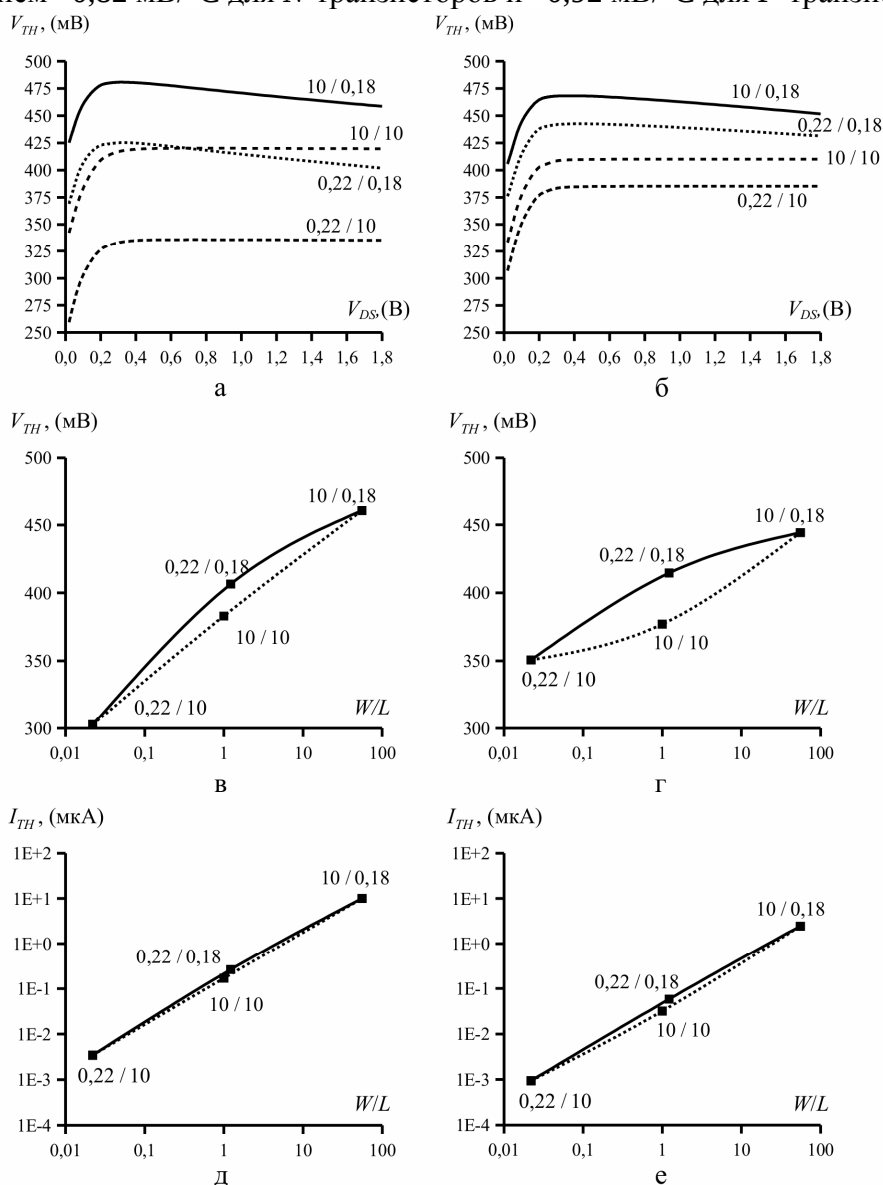


Рис. 6. Характеристики *N*-транзисторов (а, в, д) и *P*-транзисторов (б, г, е): а, б – зависимость V_{TH} от V_{DS} ; в, г – зависимость V_{TH} от W/L ; д, е – зависимость I_{TH} от W/L

Далее рассмотрены следующие этапы проектирования ССЧ:

– проектирование ГУН на заданный диапазон частот и определение результирующих параметров ГУН с учетом производственного разброса и изменений температуры;

– определение частоты единичного усиления ω_{0PLL} с учетом минимального значения F_{REF} и наихудшего сочетания производственных разбросов для K_{VCO} , I_0 , R_Z , C_Z , C_P ;

– для рассчитанной ω_{0PLL} проектирование ПФ с ω_{0LF} и W_{LF} такими, чтобы при отклонении ω_{0PLL} из-за производственных разбросов, запас по фазе φ_{0PLL} был не менее 45 градусов.

Как уже было отмечено, в ССЧ блок ГУН является наиболее важным элементом, определяющим диапазон частот и величину фазового шума выходного сигнала. Диапазон частот должен быть не менее одной октавы. Дополнительно существует проблема шумовой взаимосвязи между схемами расположенными близко на кристалле, а также проблема помех по цепям питания, что может ухудшать характеристики ГУН [11-14].

Рассмотрим схему построения блока ГУН, представленную на рисунке 7. Транзисторы P_1 , P_2 и N_1 - N_5 образуют схему формирования напряжений P_{BS} и N_{BS} по значению управляющего напряжения V_{VCO} с их автоматической коррекцией к действию помех по цепям питания. Для коррекции использованы транзисторы N_2 - N_4 , которые, в зависимости от изменений напряжения питания VDD , изменяют значение тока, используемого при формировании напряжений P_{BS} и N_{BS} . Коррекция осуществляется таким образом, чтобы при неизменном значении напряжения V_{VCO} , противодействовать изменению выходной частоты F_{VCO} из-за действия помех по цепям напряжения питания VDD [15].

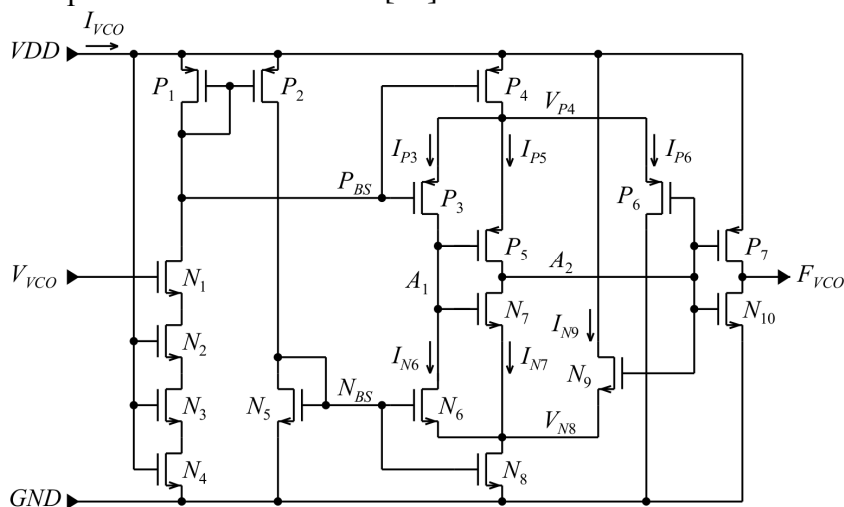


Рис. 7. Схема построения блока ГУН

Основу собственно генерирующей ячейки P_3 - P_6 и N_6 - N_9 составляет инвертор P_5 , N_7 с регулируемой отрицательной обратной связью, гистерезисом и скоростью переключений [16]. Для пояснения работы ГУН по рисунку 7 на рисунке 8 представлен алгоритм переходов состояний, а на рисунке 9 – последовательность переключений цепей ГУН.

Обозначим V_{SW} – виртуальный уровень напряжения цепи A_2 при котором происходит переключение транзисторов P_6 , N_9 . При нахождении потенциала

напряжения цепи A_2 в состоянии ниже уровня V_{SW} транзистор N_9 закрыт, а транзистор P_6 открыт и ток I_{P6} создает на стоке транзистора P_4 падение напряжения V_{P4} , что переводит транзистор P_3 в закрытое состояние. Чем меньше значение тока транзистора P_4 , тем ниже уровень напряжения V_{P4} . При этом напряжение V_{N8} на стоке транзистора N_8 стремится к GND и транзистор N_6 переходит в открытое состояние. Напряжение цепи A_1 через транзисторы N_6 и N_8 начинает опускаться к GND , при этом значение тока I_{N6} , перезаряжающего емкость затворов транзисторов P_5 и N_7 , зависит от напряжения N_{BS} . Одновременно, напряжения на истоках транзисторов P_5 и N_7 смещаются в направлении GND , что понижает до виртуального уровня V_{LOW} напряжение цепи A_1 , требуемое для их переключения. Величина напряжения V_{P4} , а значит и напряжение V_{LOW} , определяются напряжением P_{BS} . Описанное состояние соответствует состоянию 1 алгоритма переходов по рисунку 8.

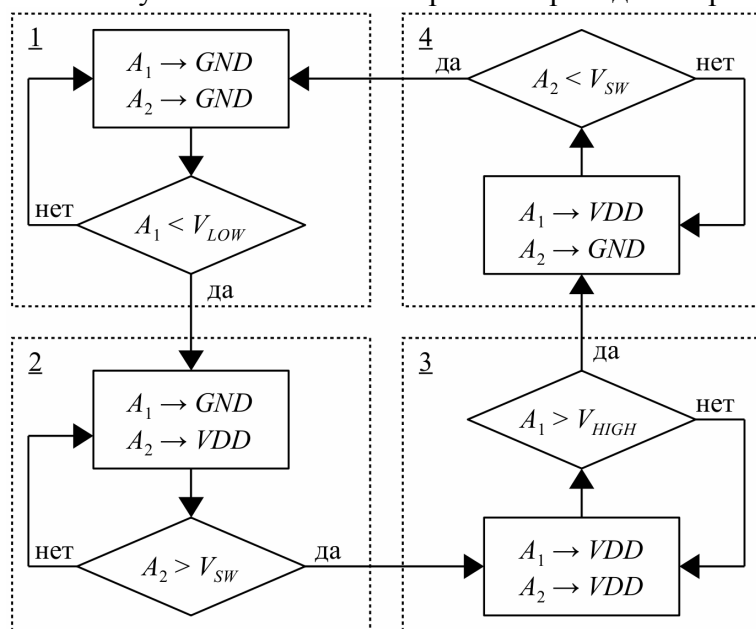


Рис. 8 Алгоритм перехода состояний ГУН по рисунку 7

После достижения потенциалом напряжения цепи A_1 уровня V_{LOW} , схема перейдет в состояние 2 алгоритма переходов, в котором A_2 под действием тока I_{P5} начнет переключаться в состояние напряжения высокого уровня.

После достижения потенциалом напряжения цепи A_2 состояния выше уровня V_{SW} транзистор P_6 закрыт, а транзистор N_9 открыт и ток I_{N9} создает на стоке транзистора N_8 падение напряжения V_{N8} , что переводит транзистор N_6 в закрытое состояние. Чем меньше значение тока транзистора N_8 , тем выше уровень напряжения V_{N8} . При этом напряжение V_{P4} на стоке транзистора P_4 стремится к VDD и транзистор P_3 переходит в открытое состояние. Напряжение цепи A_1 через транзисторы P_3 и P_4 начинает подниматься к VDD , при этом значение тока I_{P3} , перезаряжающего емкость затворов транзисторов P_5 и N_7 , зависит от напряжения P_{BS} . Одновременно, напряжения на истоках

транзисторов P_5 и N_7 смещаются в направлении V_{DD} , что повышает до виртуального уровня V_{HIGH} напряжение цепи A_1 , требуемое для их переключения. Величина напряжения V_{N8} , а значит и напряжение V_{HIGH} , определяются напряжением N_{BS} . Описанное состояние соответствует состоянию 3 алгоритма переходов по рисунку 8.

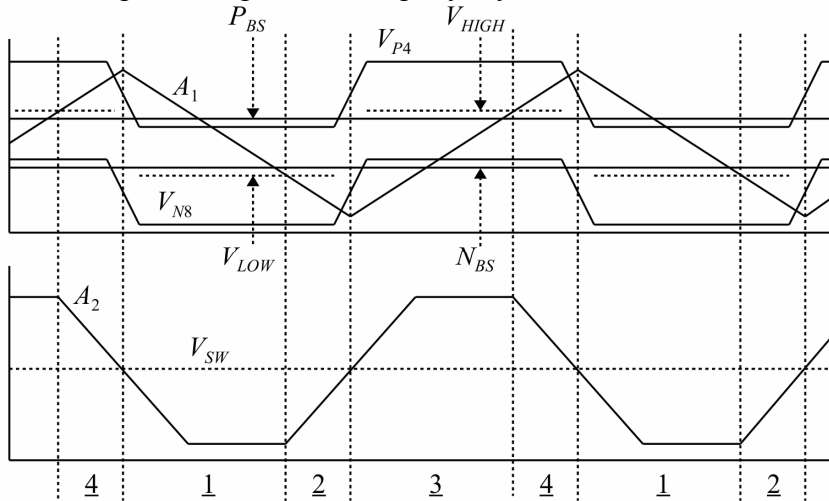


Рис. 9. Последовательность переключений цепей ГУН по рисунку 7 и соответствующие состояния алгоритма по рисунку 8

После достижения потенциалом напряжения цепи A_1 уровня V_{HIGH} схема перейдет в состояние 4 алгоритма переходов, в котором A_2 под действием тока I_{N7} начнет переключаться в состояние напряжения низкого уровня. При уменьшении напряжения цепи A_2 ниже уровня V_{SW} , схема вернется в состояние 1 алгоритма.

Как следует из алгоритма по рисунку 8, ГУН может находиться в одном из четырех состояний. Условия переходов состояний чередуются по состояниям потенциалов цепей A_1 и A_2 инвертора P_5 , N_7 . Переход в 1 и 3 осуществляется по условиям состояния цепи A_2 относительно виртуального уровня V_{SW} . Переход в 2 и 4 осуществляется по условиям состояния цепи A_1 относительно виртуальных уровней V_{LOW} и V_{HIGH} . Направления изменений потенциалов цепей A_1 и A_2 в любом из состояний вызывают выполнение условия выхода из этого состояния. В результате происходит последовательная и замкнутая в кольцо смена состояний ГУН.

Напряжения V_{P4} и V_{N8} изменяют свое значение в зависимости от состояния потенциала цепи A_2 , тем самым, изменяя между виртуальными уровнями V_{LOW} и V_{HIGH} потенциал цепи A_1 необходимый для переключений инвертора P_5 , N_7 , т. е. формируют гистерезис. Величина гистерезиса зависит от значений напряжений P_{BS} и N_{BS} .

Действие потенциалов напряжений V_{P4} и V_{N8} на токи I_{P3} и I_{N6} является разнонаправленным и в конкретный момент времени активен только один из них. В результате цепь A_1 через транзисторы P_3 и N_6 будет попеременно переключаться до уровней V_{P4} и V_{N8} в зависимости от состояния цепи A_2 , что

создает отрицательную обратную связь между входом и выходом инвертора P_5, N_7 . Действие обратной связи определяется состоянием потенциала цепи A_2 относительно виртуального уровня V_{SW} и осуществляется таким образом, чтобы вызывать постоянное переключение инвертора P_5, N_7 в противоположное состояние, поддерживая, тем самым, режим автоколебаний. Кроме того, в зависимости от значений напряжений P_{BS} и N_{BS} , элементы обратной связи изменяют длительности фронта и спада переключений цепи A_1 .

Таким образом, изменением значений напряжений P_{BS} и N_{BS} регулируются не только гистерезис и длительности фронта и спада переключений инвертора P_5, N_7 , но также регулируется и длительность переключений его входа, что способствует расширению диапазона генерируемых частот. При уменьшении напряжений P_{BS} и N_{BS} происходит уменьшение токов обратной связи I_{P3}, I_{N6} , увеличение гистерезиса и длительностей фронта и спада и переключений, что приводит к уменьшению частоты F_{VCO} . При увеличении напряжений P_{BS} и N_{BS} происходит увеличение токов обратной связи I_{P3}, I_{N6} , уменьшение гистерезиса и длительностей фронта и спада переключений, что приводит к увеличению частоты F_{VCO} .

После подачи напряжения питания VDD на ГУН потенциал цепи A_1 не определен. По мере увеличения управляющего напряжения V_{VCO} цепь A_1 начинает смещаться к VDD или GND . Далее, благодаря гистерезису переключений и отрицательной обратной связи инвертора, запускается процесс самовозбуждения с последующим поддержанием генерации.

Выходной инвертор P_7, N_{10} предназначен для формирования логических уровней, увеличения крутизны фронта и спада и в целом нагрузочной способности выхода F_{VCO} .

На рисунках 10 и 11 представлены диаграммы моделирования работы ГУН по рисунку 7 реализованного с использованием технологии КМОП 180 нм. Диаграммы рисунка 10 соответствуют типовым условиям: ТТ модели транзисторов, температура $+27^\circ\text{C}$, напряжение питания 1,8 В. В верхней части рисунка 10 расположены диаграммы напряжений, а в средней и нижней – токов. Для рисунка 10, а напряжение V_{VCO} равно 426,3 мВ, частота F_{VCO} 25 МГц, среднее значение тока потребления I_{VCO} 7,34 мкА (13,2 мкВт). На рисунке 10, б напряжение V_{VCO} равно 1113 мВ, частота F_{VCO} 600 МГц, среднее значение тока потребления I_{VCO} 39,5 мкА (71,1 мкВт). Амплитуда колебаний цепи A_1 не менее половины напряжения питания. Колебания цепи A_2 – симметричные и с амплитудой близкой к напряжению питания.

Результаты моделирования на рисунке 11 представлены для типовых условий и для условий дающих максимальные отклонения для крайних моделей транзисторов (из-за производственного разброса) и температуры – 40°C и $+125^\circ\text{C}$. На рисунке 11, а представлена зависимость выходной частоты F_{VCO} от управляющего напряжения V_{VCO} . Далее на рисунке 11, б-е представлены параметры ГУН в зависимости от значения выходной частоты F_{VCO} . На рисунке 11, б представлена зависимость тока потребления I_{VCO} . На рисунке 11, в представлено изменение ΔF_{VCO} выходной частоты при помехах

напряжения питания $VDD \pm 10\%$. Относительное изменение выходной частоты меньше изменения напряжения питания, что уменьшает чувствительность ГУН к помехам по цепям питания. На рисунке 11, г представлена зависимость коэффициента заполнения γ_{VCO} сигнала F_{VCO} . На рисунке 11, д представлена зависимость крутизны передаточной характеристики K_{VCO} . На рисунке 11, е представлена зависимость отношения F_{VCO} к K_{VCO} .

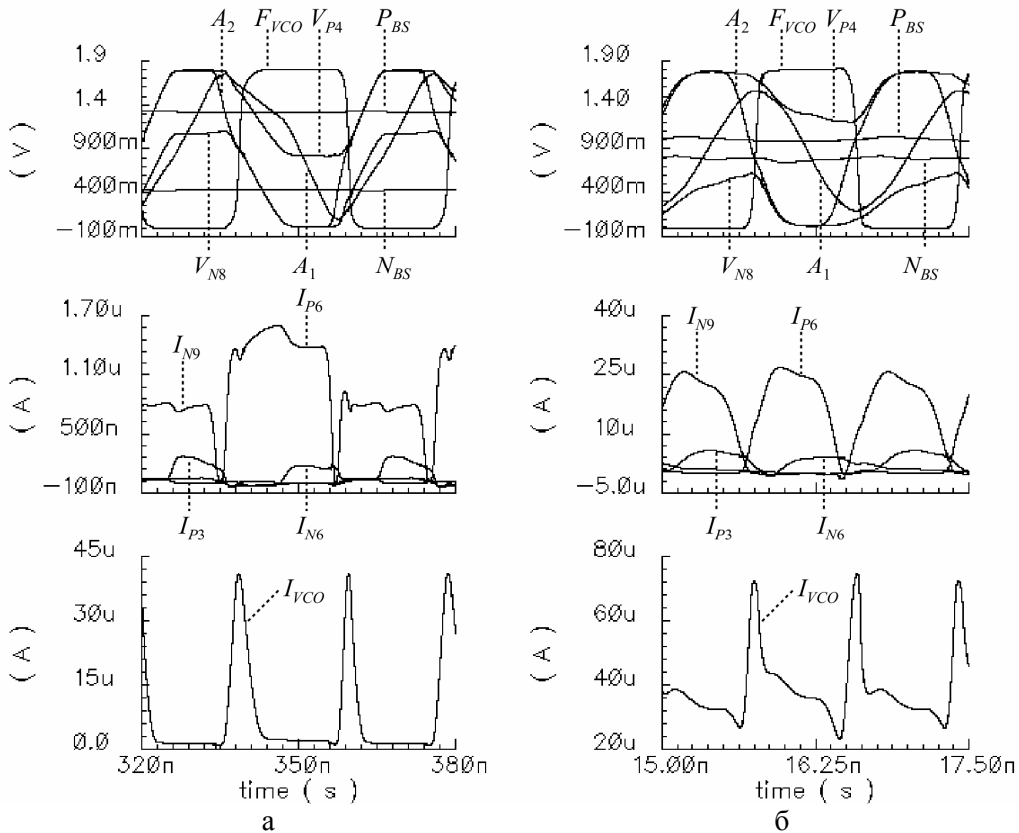


Рис. 10. Диаграммы моделирования работы ГУН для типовых условий:
а – $F_{VCO} = 25$ МГц; б – $F_{VCO} = 600$ МГц

Пусть на определение рабочего диапазона выходных частот ГУН с учетом его параметров для всех моделей транзисторов и диапазона температур наложены следующие ограничения: отклонение ΔF_{VCO} не более $\pm 4\%$, отклонение γ_{VCO} от 0,5 не более $\pm 0,1$, для отношения F_{VCO} к K_{VCO} отклонение от линейного вида не более $\pm 10\%$. В результате диапазон выходных частот F_{VCO} составил 60 – 370 МГц.

На базе представленного ГУН разработан ССЧ для получения выходных частот F_{VCO} 60-370 МГц из входной опорной частоты F_{REF} 8-16 МГц, т.е. диапазон значений коэффициента N равен 4-46.

Для реализации источника минимального значения выходного тока I_0 блока УИТ использованы секции из 4 параллельно включенных транзисторов с рабочим током по 0,3 мкА, т.е. результирующее минимальное значение тока

I_0 составит 1,2 мкА. Секции из 4 транзисторов применены для построения массива-центроида транзисторов.

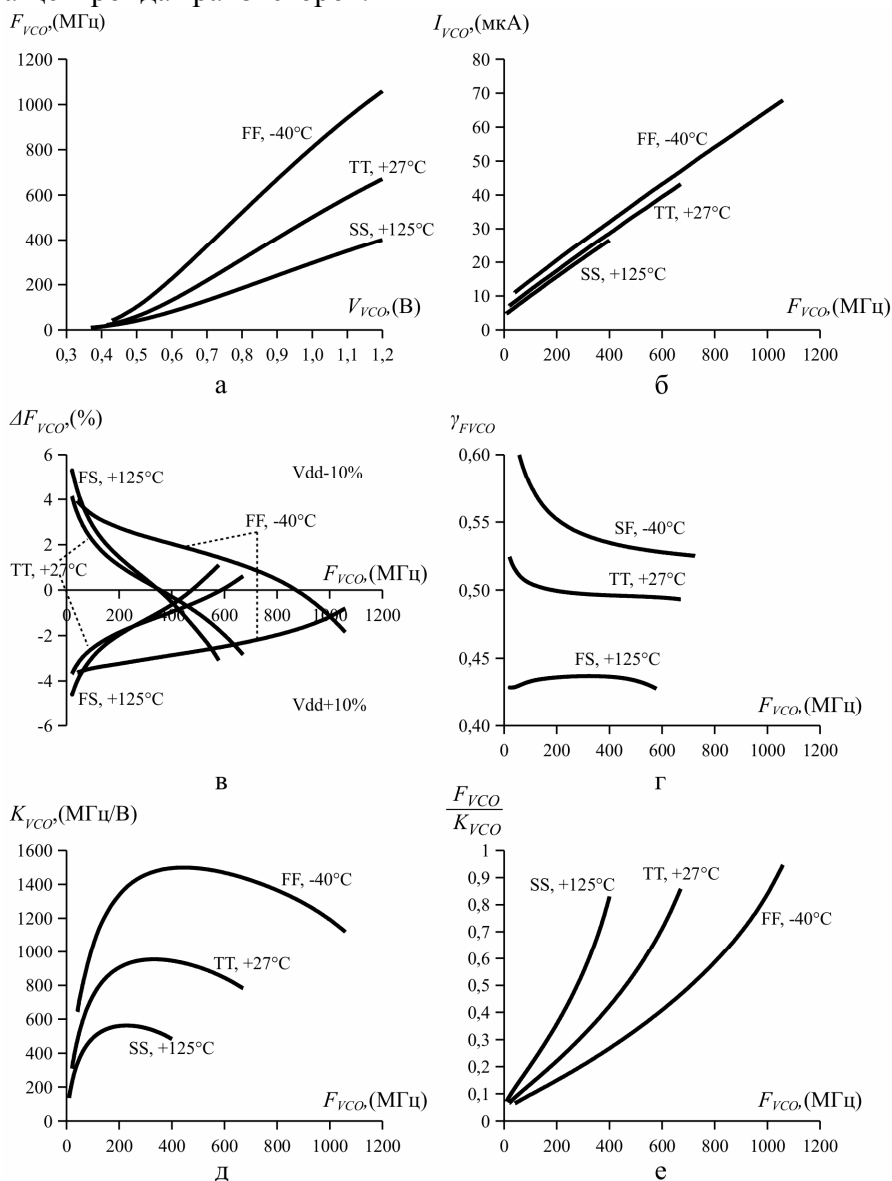


Рис. 11. Зависимость параметров ГУН: а – F_{VCO} от V_{VCO} ; б – I_{VCO} от F_{VCO} ; в – ΔF_{VCO} от F_{VCO} при изменении VDD на $\pm 10\%$; г – γ_{VCO} от F_{VCO} ; д – K_{VCO} от F_{VCO} ; е – F_{VCO}/K_{VCO} от F_{VCO}

При определении параметров элементов блока ПФ, его ω_{0LF} и W_{LF} должны быть такими, чтобы при наихудшем сочетании параметров элементов контура ФАПЧ из-за производственного разброса, частота ω_{0PLL} полосы пропускания была не выше 0,1 от минимального значения F_{REF} и запас по фазе ϕ_{0PLL} на этой частоте был не меньше 45 градусов. Резистор R_Z реализован с использованием слоя Poly P+ с удельным сопротивлением 310 Ом/квадрат и

допустимым отклонением $\pm 15\%$ из-за производственного разброса и $\pm 2\%$ из-за изменений температуры. Конденсаторы C_Z , C_P реализованы с использованием МИМ-конденсаторов с удельной емкостью 1 фемтоФ/мкм^2 и допустимым отклонением $\pm 10\%$. Для K_{VCO} отклонение от типовых значений может быть в 2 раза, а для тока $I_0 \pm 20\%$. Таким образом, при худшем сочетании отклонений K_{VCO} , I_0 , R_Z , C_Z , C_P максимальное результирующее отклонение от типового значения может быть в 3 раза, т. е. частота полосы пропускания должна быть в 30 раз меньше минимального значения опорной частоты. С учетом минимальной F_{REF} равной 8 МГц, определена частота полосы пропускания контура 266 кГц (соответственно ω_{OLF} равна $1,671 \times 10^6 \text{ рад/с}$).

Показатели качества ПП установления выходной частоты зависят от запаса по фазе на частоте полосы пропускания, но из-за производственного разброса запас по фазе уменьшается. Для обеспечения условия, что ϕ_{OLF} блока ПФ должен быть не менее 45 градусов при отклонении от ω_{OLF} в 3 раза, выбран W_{LF} равный 15.

Таким образом, при расчете значений элементов блока ПФ использованы следующие исходные данные: $W_{LF} = 15$, $\omega_{OLF} = 1,671 \times 10^6 \text{ рад/с}$, минимальное значение $K_{VCO} = 3,658 \times 10^9 \text{ рад/(с} \cdot \text{В)}$ (т.е. 582,158 МГц/В), минимальное значение тока $I_0 = 1,2 \text{ мкА}$, минимальное значение коэффициента деления $N = 4$. В левом столбце таблицы 1 представлены значения элементов блока ПФ по рисунку 3,а.

Табл. 1. Значения элементов блоков ПФ и ЭПФ по рисунку 3

ПФ по рисунку 3, а	ЭПФ по рисунку 3, б
$R_Z = 1,63186 \text{ кОм}$	$R_1 = 1,11444 \text{ кОм}$
$C_Z = 1420,04 \text{ пФ}$	$R_2 = 7,24387 \text{ кОм}$
$C_P = 101,432 \text{ пФ}$	$R_3 = 557,22 \text{ Ом}$
	$C_{ZE} = 101,432 \text{ пФ}$
	$C_P = 101,432 \text{ пФ}$

Суммарное значение емкости конденсаторов C_Z и C_P составляет около 1521,5 пФ т.е. требует площади МИМ-конденсаторов около $1,6 \text{ мм}^2$, что неприемлемо, учитывая стоимость площади кристалла.

Для уменьшения площади конденсатора C_Z блока ПФ применяют схемы эквивалентных петлевых фильтров (ЭПФ), позволяющие заменить емкость конденсатора C_Z в несколько раз меньшим значением при сохранении блоком ЭПФ исходной АФЧХ.

Обозначим M_{CZE} – коэффициент эквивалентного умножения емкости конденсатора C_{ZE} блока ЭПФ так, что:

$$C_{ZE} = \frac{C_Z}{M_{CZE}}.$$

При этом суммарная емкость $C_{\Sigma E}$ конденсаторов блока ЭПФ, по сравнению с суммарной емкостью C_{Σ} конденсаторов типового ПФ, будет уменьшена как:

$$\frac{C_{\Sigma E}}{C_{\Sigma}} = \frac{1}{M_{CZE}} + \frac{1}{W_{LF}} - \frac{1}{M_{CZE} W_{LF}}.$$

Обратимся к рисунку 3,б. Эквивалентное умножение емкости конденсатора C_{ZE} основано на использовании делителя тока на базе резисторной матрицы и повторителя напряжения (А), реализуемого ОУ [17-19]. Цель использования делителя тока – уменьшить количество тока перезаряда конденсатора C_{ZE} и, тем самым, уменьшить его емкость. Матрица состоит из трех резисторов соединенных звездой, что позволяет уменьшить суммарное значение сопротивления резисторов для уменьшения площади, занимаемой ими на кристалле микросхемы.

Импеданс $Z_E(s)$ блока ЭПФ по рисунку 3,б равен:

$$Z_E(s) = \frac{s\tau_{ZE} + 1}{s \left(C_P + C_{ZE} \left(1 + \frac{R_2}{R_3} \right) \right) (s\tau_{PE} + 1)},$$

$$\text{где } \tau_{ZE} = C_{ZE} \left(1 + \frac{R_2}{R_3} \right) \left(R_1 + \frac{R_2 R_3}{R_2 + R_3} \right), \quad \tau_{PE} = \frac{C_P C_{ZE} \left(1 + \frac{R_2}{R_3} \right) \left(R_1 + \frac{R_2 R_3}{R_2 + R_3} \right)}{C_P + C_{ZE} \left(1 + \frac{R_2}{R_3} \right)}.$$

Так как импеданс блока ПФ по рисунку 3,а и импеданс блока ЭПФ по рисунку 3,б равны, то равны между собой их постоянные времени нуля и полюса. Приравняв τ_Z и τ_{ZE} , получим:

$$C_Z = C_{ZE} \left(1 + \frac{R_2}{R_3} \right) = M_{CZE} C_{ZE},$$

$$\text{где } M_{CZE} = 1 + \frac{R_2}{R_3}; \quad R_Z = R_1 + \frac{R_2 R_3}{R_2 + R_3} = R_1 + \frac{R_2}{M_{CZE}} = R_{ZE},$$

где R_{ZE} – эквивалентное сопротивление цепи состоящей из параллельно включенных резисторов R_2 и R_3 и последовательно включенного с ними R_1 .

Проведем анализ через распределение токов в резисторной матрице. Токи через резисторы R_2 и R_3 обратно пропорциональны значениям их сопротивлений:

$$\frac{I_2}{I_3} = \frac{R_3}{R_2}, \text{ откуда } I_2 = (I_1 - I_2) \frac{R_3}{R_2}.$$

$$\text{Так как } I_{CZE} = I_2, \text{ то } I_{CZE} = I_1 \frac{R_3}{R_2 + R_3} = \frac{I_1}{M_{CZE}}, \text{ где } M_{CZE} = 1 + \frac{R_2}{R_3}.$$

Таким образом: $C_{ZE} = \frac{C_Z}{M_{CZE}}$ и $R_{ZE} = R_1 + \frac{R_2 R_3}{R_2 + R_3} = R_1 + \frac{R_2}{M_{CZE}}$, что уже

было получено ранее.

Резистор R_1 использован для уменьшения общего суммарного значения $R_{\Sigma E}$ сопротивления резисторов блока ЭПФ. Введем коэффициент P_{R1} равный:

$$P_{R1} = \frac{R_1}{R_{ZE}}.$$

Таким образом, чем ближе P_{R1} к единице, тем меньше суммарное значение $R_{\Sigma E}$ и, соответственно, при проектировании стремятся большую часть эквивалентного сопротивления R_{ZE} реализовать сопротивлением резистора R_1 .

При заданных M_{CZE} и P_{R1} суммарное значение $R_{\Sigma E}$ ЭПФ по рисунку 3, б превысит R_Z ПФ по рисунку 3, а в соответствии с выражением:

$$\frac{R_{\Sigma E}}{R_Z} = P_{R1} + (1 - P_{R1}) \frac{M_{CZE}^2}{M_{CZE} - 1}.$$

Значения резисторов R_1 , R_2 и R_3 выбирают так, чтобы гарантировать необходимую точность установки R_{ZE} и коэффициента M_{CZE} с учетом технологических разбросов при производстве кристалла микросхемы. Для реализации матрицы массива-центроида резисторов R_1 , R_2 и R_3 из элементов одинаковой геометрии, отношение R_1 к R_3 и отношение R_2 к R_3 являются целыми числами. Так как отношение R_2 к R_3 равно $M_{CZE} - 1$, то M_{CZE} должно быть целое число. Если требуется, чтобы C_{ZE} и C_P так же были равны, то W_{LF} должно быть равно $M_{CZE} + 1$.

Чтобы отношение R_1 к R_3 соответствовало наперед заданному значению, предлагается выражение для расчета P_{R1} :

$$P_{R1} = \frac{\frac{R_1}{R_3}}{\frac{R_1}{R_3} + 1 - \frac{1}{M_{CZE}}}.$$

Данное выражение позволяет выбрать, как распределить сопротивление R_Z ПФ по рисунку 3, а между резисторами R_1 , R_2 и R_3 ЭПФ по рисунку 3, б. Для заданного отношения R_1 к R_3 рассчитано значение P_{R1} . По P_{R1} рассчитано значение R_1 и после этого значения R_2 и R_3 в соответствии с выражениями:

$$R_1 = P_{R1} R_Z, R_2 = M_{CZE} R_Z (1 - P_{R1}), R_3 = \frac{R_2}{M_{CZE} - 1}.$$

В нашем случае W_{LF} равно 15, значит M_{CZE} равно 14 и отношение R_2 к R_3 равно 13. Отношение R_1 к R_3 задано равным 2. Соответствующие значения элементов ЭПФ по рисунку 3,б представлены в таблице 1 справа. Суммарное значение емкости $C_{\Sigma E}$ конденсаторов блока ЭПФ составляет около 202,87 пФ, что в 7,5 раз меньше суммарной емкости C_{Σ} конденсаторов ПФ по рисунку 3, а

и требует площади около 0,215 мм². Суммарное сопротивление $R_{\Sigma E}$ резисторов блока ЭПФ в 5,463 раза больше сопротивления R_Z ПФ по рисунку 3, а.

Массив-центроид резисторов R_1, R_2, R_3 состоит из секций идентичных резисторов, причем каждая секция содержит не менее 2 резисторов включенных параллельно. Отношение длины резистора к ширине не менее 10, при этом ширина превышает минимально допустимую в 2 раза. Таким образом, массив-центроид составлен из 23 резисторов сопротивлением по 3,34332 кОм, что требует площади без учета фиктивных элементов около 350 мкм².

Кроме требований малой площади, блок ЭПФ должен обеспечивать поддержку режимов ускорения ПП автоподстройки синтезируемых частот, что достигается отключением опорного тока ОУ и, соответственно, ускорением изменения напряжения V_{VCO} .

На рисунке 12 представлено определение выходного тока I_0 блока УИТ в зависимости от входной F_{REF} и выходной F_{VCO} частот. Для реализации данной функции использован 3-х битный токовый цифро-аналоговый преобразователь с 8-ю значениями выходного тока с шагом 1,2 мкА в диапазоне 1,2-9,6 мкА.

На рисунке 13 в качестве примера работы рассмотренного ССЧ представлены диаграммы результатов моделирования ПП установления выходной частоты $F_{VCO} = 250$ МГц из опорной частоты $F_{REF} = 10$ МГц, выполненного в среде поведенческого моделирования Simulink [2, 20].

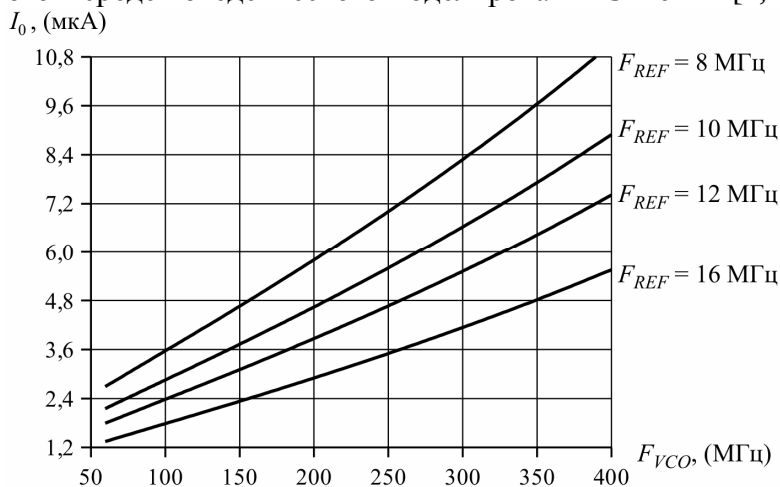


Рис. 12. Определение выходного тока I_0 блока УИТ в зависимости от входной F_{REF} и выходной F_{VCO} частот

Для проведения моделирования ПП, зависимость значения выходной частоты ГУН F_{VCO} от управляющего напряжения V_{VCO} при типовых условиях для диапазона частот 25-600 МГц (рисунок 11, а) аппроксимирована с погрешностью $\pm 2,0\%$ выражением вида:

$$F_{VCO}(V) = -5275V^7 + 23473V^6 - 39679V^5 + 30629V^4 - 9860V^3 + 1267V^2 - 49,4V,$$

где $F_{VCO}(V)$ имеет размерность в МГц.

По диаграммам рисунка 13 можно сделать выводы о качестве управления, оценить значения перерегулирования и длительности ПП. В верхней части рисунка в увеличенном масштабе представлен ПП в окрестности установившегося значения. В нижней части рисунка представлено формирование блоком ИЧФД сигнала *Fast* во время ПП автоподстройки частоты F_{VCO} из нулевого начального состояния. При увеличении фазовой разности сигналов сравниваемых частот F_{REF} и F_{DIV} более 2π радиан ИЧФД переводит контур ФАПЧ в режим *Fast*, в котором вырабатывается сигнал *Synch* для синхронизации ДЧ по сигналу F_{REF} . Также в режиме *Fast* осуществляется отключение опорного тока ОУ.

После отработки постоянной фазовой разности более 2π радиан ИЧФД переходит в режим переключений между режимом *Fast* и линейным режимом. В верхней части рисунка видно, как при повторном превышении фазовой разности сигналов F_{REF} и F_{DIV} более чем на 2π радиан, происходят циклы проскальзывания фазы. Длительность ПП установления выходной частоты F_{VCO} с точностью 5% составила 31,1 мкс, а с точностью 1% – 41,5 мкс.

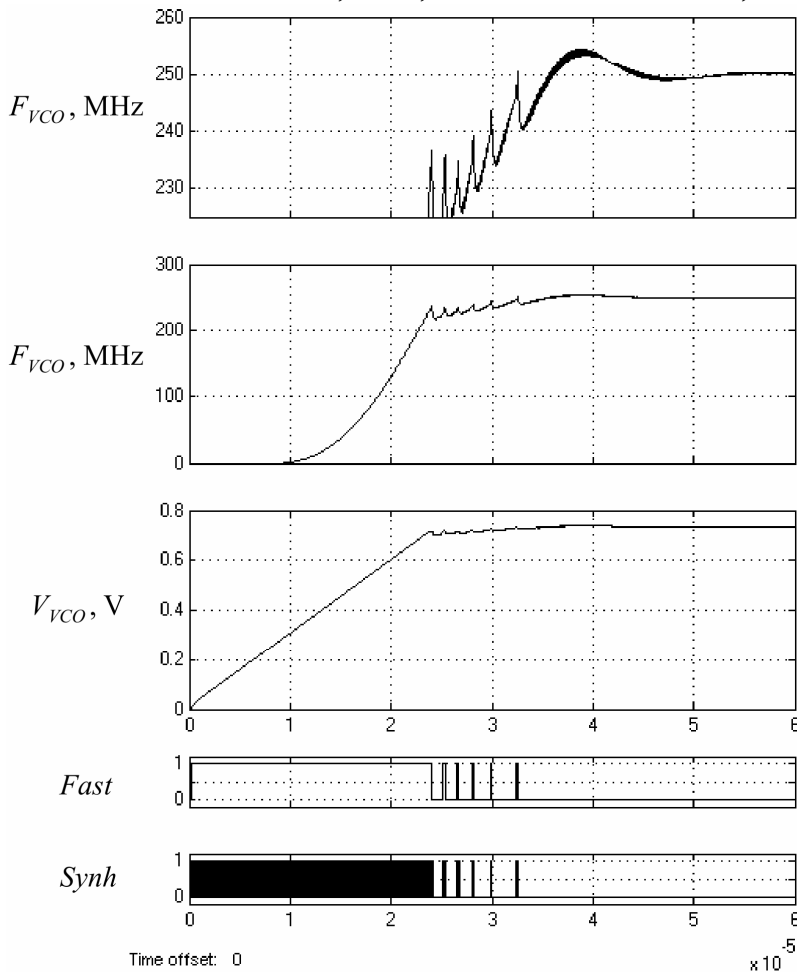


Рис. 13. Диаграммы результатов моделирования ПП установления выходной частоты F_{VCO} 250 МГц из опорной частоты F_{REF} 10 МГц

Заключение

Для ускорения ПП автоподстройки частот представлен алгоритм работы блока ИЧФД, позволяющий исключить появление циклов проскальзывания фазы при больших рассогласованиях частот F_{REF} и F_{DIV} , а также уменьшить их количество на стадии окончания ПП.

Блок ГУН реализован по схеме с регулируемым гистерезисом и длительностями фронта и спада сигнала переключений, что обеспечивает диапазон генерируемых частот не менее двух октав с учетом производственного разброса и изменений температуры. Кроме того, использовано решение, направленное на повышение стабильности частоты выходного сигнала в условиях действия помех по цепям напряжения питания. Коэффициент заполнения выходного сигнала имеет отклонение от значения 0,5 не более $\pm 0,1$, что достаточно для тактирования цифровых схем. На частоте 370 МГц ГУН потребляет не более 30,4 мкА (55 мкВт) и не будет создавать помех для других блоков микросхемы.

Для уменьшения площади ССЧ использован блок ЭПФ на базе резисторной матрицы и повторителя напряжения. Предложены выражения, позволяющие рассчитать значения сопротивлений резисторов для реализации массива-центрoида.

Таким образом, представленные решения построения ГУН, алгоритма ИЧФД и выражения для расчета значений сопротивлений резисторов блока ЭПФ могут быть рекомендованы к использованию при проектировании ССЧ на базе контура ФАПЧ для применения в составе микроконтроллеров в качестве источника сигнала частоты тактовой синхронизации.

Список литературы / References

1. Kroupa V.F. Phase lock loops and frequency synthesis. – Wiley, 2003. – 334 p.
2. Shu K., Sanchez-Sinencio E. CMOS PLL synthesizers: analysis and design. – Springer Science, 2005. – 232 p.
3. Rogers J., Plett C., Dai F. Integrated circuit design for high-speed frequency synthesis. – Artech House, 2006. – 496 p.
4. Banerjee D. PLL performance, simulation and design. 5-th edition. – Dog Ear Publishing, 2017. – 500 p.
5. Зайцев А.А. Исследование влияния производственного разброса блока интегрального петлевого фильтра на характеристики синтезатора частот ФАПЧ // Journal of Advanced Research in Technical Science. – 2023. – №39. – С. 61-76. – doi.org/10.26160/2474-5901-2023-39-61-76.
5. Zaytsev A.A. Study of the impact of process variations of an integral loop filter on a PLL frequency synthesizer performance // Journal of Advanced Research in Technical Science. 2023, iss. 39, pp. 61-76. doi.org/10.26160/2474-5901-2023-39-61-76.
6. Wong B.P., Mittal A., Cao Y., Starr G. Nano-CMOS circuit and physical design. – Wiley, 2005. – 393 p.
7. Baker R.J. CMOS circuit design, layout, and simulation. 3-rd Edition. – Wiley, 2010. – 1208 p.
8. Weste N.H.E., Harris D.M. CMOS VLSI design. A circuits and systems perspective. 4-th edition. – Addison-Wesley, 2011. – 880 p.

9. Razavi B. Design of analog CMOS integrated circuits. – McGraw-Hill Higher Education, 2001. – 676 p.
10. Патент №2530248 РФ. Импульсный частотно-фазовый детектор / А.А. Зайцев. – Заявка № 2013144806 от 07.10.2013; опублик. 10.10.2014, Бюл. №28.
10. Patent No. 2530248 RU. Pulse frequency-phase detector / A.A. Zaytsev. – Appl. No. 2013144806 from 07.10.2013; publ. 10.10.2014, Bul. No. 28.
11. Mansuri M., Yang C.-K.K. A low-power adaptive bandwidth PLL and clock buffer with supply-noise compensation // Journal of Solid-State Circuits. 2003, vol. 38, no. 11, pp. 1804-1812. DOI: 10.1109/JSSC.2003.818300.
12. McNeill J.A., Ricketts D.S. The designer's guide to jitter in ring oscillators. – Springer Science, 2009. – 276 p.
13. Hsieh P.-H., Maxey J., Yang C.-K.K. Minimizing the supply sensitivity of a CMOS ring oscillator through jointly biasing the supply and control voltages // Journal of Solid-State Circuits. 2009, vol. 44, no. 9, pp. 2488-2495. DOI: 10.1109/JSSC.2009.2025406.
14. Xu W., Chen X., Wu J. An overview of theory and techniques for reducing ring oscillator supply voltage sensitivity in mixed-signal SoC // International Conference on Mechatronic Science, Electric Engineering and Computer 2011. 19-22 August 2011. Jilin, China. 2011, pp. 2039-2042. DOI: 10.1109/MEC.2011.6025891.
15. Патент №2642405 РФ. Устройство формирования управляющих напряжений для генератора, управляемого напряжением / А.А. Зайцев. – Заявка №2017103120 от 31.01.2017; опублик. 24.01.2018, Бюл. №3.
15. Patent No. 2642405 RU. Device for generating control voltages for a voltage-controlled oscillator / A.A. Zaytsev. – Appl. No. 2017103120 from 31.01.2017; publ. 24.01.2018, Bul. No. 3.
16. Патент №2485668 РФ. Октавный микропотребляющий высокочастотный КМОП генератор, управляемый напряжением / А.А. Зайцев. – Заявка №2012129707 от 16.07.2012; опублик. 20.06.2013, Бюл. №17.
16. Patent No. 2485668 RU. Octave microconsuming high-frequency CMOS generator controlled by voltage / A.A. Zaytsev. – Appl. No. 2012129707 from 16.07.2012; publ. 20.06.2013, Bul. No. 17.
17. Patent No. 6344772 US. Apparatus and method for capacitance multiplication / P. Larsson. – Appl. No. 09/587950 from 06.06.2000; publ. 05.02.2002.
18. Patent No. 6861898 US. Loop filter and method for adjusting compensating current of the same / T.-H. Hsu, C.-C. Chen. – Appl. No. 10/668218 from 24.09.2003; publ. 01.03.2005.
19. Патент №2612573 РФ. Устройство эквивалентного умножения емкости конденсатора петлевого фильтра контура ФАПЧ / А.А. Зайцев. – Заявка №2015155280 от 23.12.2015; опублик. 09.03.2017, Бюл. №7.
19. Patent No. 2612573 RU. Device for equivalent multiplying condenser capacity of PLL loop filter / A.A. Zaytsev. – Appl. No. 2015155280 from 23.12.2015; publ. 09.03.2017, Bul. No. 7.
20. Patel G.S., Sharma S. Frequency synthesis techniques for high speed communication system // International Journal of the Physical Sciences. 2011, vol. 6(11), pp. 2618-2632. DOI: 10.5897/IJPS11.363.

Зайцев Андрей Алексеевич – ведущий инженер	Zaytsev Andrey Alekseevich – senior engineer
andazaitsev@mail.ru	

Received 15.09.2025